

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2004年10月7日 (07.10.2004)

PCT

(10)国際公開番号  
WO 2004/086065 A1

(51)国際特許分類7: G01R 19/165

(21)国際出願番号: PCT/JP2004/003944

(22)国際出願日: 2004年3月23日 (23.03.2004)

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

(30)優先権データ:  
特願2003-080406 2003年3月24日 (24.03.2003) JP

(71)出願人(米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP). 本田技研工業株式会社 (HONDA MOTOR CO., LTD.) [JP/JP].

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 岩渕 昭夫 (IWABUCHI, Akio) [JP/JP]. 金澤 正喜 (KANAZAWA, Masaki) [JP/JP]. 相沢 和也 (AIZAWA, Kazuya) [JP/JP]. 山田 宜正 (YAMADA, Norimasa) [JP/JP]. 有吉 敏明 (ARIYOSHI, Toshiaki) [JP/JP]. 鶴見 隆史 (TSURUMI, Takafumi) [JP/JP]. 野本 宜一 (NOMOTO, Yoshikazu) [JP/JP].

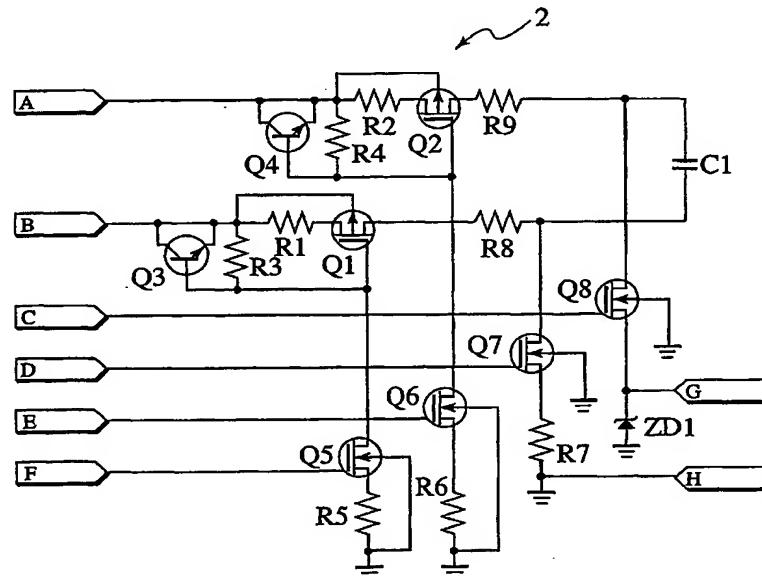
(74)代理人: 三好 秀和 (MIYOSHI, Hidekazu); 〒1050001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル 9階 Tokyo (JP).

(81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

[統葉有]

(54)Title: VOLTAGE MEASUREMENT DEVICE

(54)発明の名称: 電圧測定装置



(57) Abstract: A voltage measurement device includes a first switch group (Q1, Q2), a second switch group (Q7, Q8), and a third switch group (Q5, Q6). When the third switch group (Q5, Q6) is turned ON, the first switch group (Q1, Q2) is turned ON and a capacitor (C1) is charged with voltage applied between a voltage input terminal A and a voltage input terminal B. The third switch group (Q5, A6) is turned OFF and the first switch group (Q1, Q2) is turned OFF. During this OFF period, the second switch group (Q7, Q8) is turned ON and the voltage held in the capacitor (C1) is output between a voltage output terminal G and a voltage output terminal H.

(57)要約: 第1スイッチ群Q1、Q2と、第2スイッチ群Q7、Q8と、第3スイッチ群Q5、Q6とを備え、第3スイッチ群Q5、Q6がオンされることにより第1スイッチ群Q1、Q2がオンされて電圧入力端子A

[統葉有]

WO 2004/086065 A1



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 國際調査報告書

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ(AT, BE, BG, CH, CY,

2文字コード及び他の略語については、定期発行される各PCT gazetteの巻頭に掲載されている「コードと略語のガイドノート」を参照。

## 明細書

## 電圧測定装置

## 5 技術分野

本発明は、電圧源の電圧を測定する電圧測定装置に関し、特に測定精度を向上させる技術に関する。

## 背景技術

10 従来、環境保護という観点から車両走行用の駆動源としてモータを備えた電気自動車、あるいはモータとエンジンを備えたハイブリッド車両が知られている。

これらモータを駆動するための電源として、数百個の蓄電池や燃料電池（以下、「電池」と総称する）を直列に接続して使用することが多い。走行中に時々刻々変化する電池の充電状況、放電状況、各電池の寿命、異常等をモニタするために、直列に接続され数百ボルトの電圧が印加されている各電池セルの1ボルト前後の端子電圧を高精度で測定する必要性が高まってきている。

このような要求に応えるために、特開2001-116777公報に記載の技術においては、電池の端子電圧の測定は、電池を構成する電池セルを複数個まとめてモジュール化し、各モジュールの電圧を第1スイッチ群を介して蓄電素子に充電し、次に第1スイッチ群をオフにした後、第2スイッチ群を介して蓄電素子を電圧測定器に接続することにより行われている。

上記技術では、スイッチ素子としてフォトMOSFETあるいはこれに相当する素子を使用している。このため、スイッチ駆動信号系と測定電圧信号系の分離が容易で、スイッチ駆動信号も測定電圧による影響を受け難く、スイッチ駆動回路に特別な工夫を必要としないという利点がある。

## 発明の開示

30 しかしながら、上述技術には、以下のような問題がある。即ち、

(1) フォトMOSFETは応答速度が遅く、応答速度のばらつきも大きいために、各スイッチの切り換えタイミングに余裕を確保する必要があり、蓄電素子を充放電するための切り換えを正確且つ素早く行うことが困難である。

5 (2) フォトMOSFETは、その構造上、小型化、高集積化が困難であるので、測定装置が大型化して高価になる。

(3) フォトMOSFETを駆動するための電源が必要であり、測定個所が増えると、大きな電流が必要になる。

10 (4) 蓄電池に比べて運転温度が高くなる燃料電池の電圧を測定する場合は、その回路の動作温度を高温に耐え得るようにする必要があるが、フォトMOSFETでは耐高温化が困難である。

15 (5) 各スイッチは保護機能を備えていないため、スイッチの切り換え時間に余裕を十分確保することにより、短絡電流が流れない様に設計しても、モータやエンジンからの大きなノイズで駆動信号が誤動作すると、各スイッチが誤動作し、短絡電流が流れ、電圧測定回路に悪影響を及ぼす。

本発明は、上述した諸問題を解決するためになされたものであり、その課題は、特別の電源を必要とせずに電池セルの端子電圧を高速且つ高精度で測定でき、しかも耐ノイズ性に優れた小型且つ低価格な電圧測定装置を提供することにある。

20 本発明の主要な側面は、直列に接続された複数の電圧源を、少なくとも1つの電圧源からなる複数のブロックに分割し、ブロックの電圧を測定する電圧測定装置において、前記ブロックの一方の端子に接続される第1電圧入力端子に第1主電極が接続され第1主電極に印加される電圧に基づき制御電極に印加される電圧に応じてオン／オフする第1導電型の第1MOSFETと、前記ブロックの他方の端子に接続される第2電圧入力端子に第1主電極が接続され第1主電極に印加される電圧に基づき制御電極に印加される電圧に応じてオン／オフする第1導電型の第2MOSFETとを有する第25第1スイッチ群と、各ブロック毎に設けられ、前記第1導電型の第1MOSFETの第2主電極と前記第1導電型の第2MOSFETの第2主電極との間に接続された第1蓄電素子と、前記第1蓄電素子の一方の端子に第2主電

極が接続され且つ第1主電極が第1電圧出力端子に接続され制御電極に入力された信号に応じてオン／オフする前記第1導電型とは反対導電型となる第2導電型の第1MOSFETと、前記第1蓄電素子の他方の端子に第2主電極が接続され且つ第1主電極が第2電圧出力端子に接続され制御電極  
5 に入力された信号に応じてオン／オフする第2導電型の第2MOSFETとを有する第2スイッチ群と、前記第1導電型の第1MOSFETの制御電極に第2主電極が接続され制御電極に入力された信号に応じてオン／オフする第2導電型の第3MOSFETと、前記第1導電型の第2MOSFETの制御電極に第2主電極が接続され制御電極に入力された信号に応じてオン／オフする第2導電型の第4MOSFETとを有する第3スイッチ群と、  
10 前記第3スイッチ群をオンさせることにより前記第1スイッチ群をオンさせ、前記第3スイッチ群をオフさせることにより前記第1スイッチ群がオフしている期間に前記第2スイッチ群をオンさせる制御手段とを備えることを特徴とする。

15

#### 図面の簡単な説明

図1は、本発明の第1～第3の実施の形態に係る電圧測定装置の構成を示すブロック図である。

図2は、本発明の第1の実施の形態に係る電圧測定装置内の電圧測定回路  
20 の構成を示す回路図である。

図3A～3Cは、本発明の第1の実施の形態に係る電圧測定装置内の電圧測定回路の動作を説明するための図である。

図4は、本発明の第1の実施の形態に係る電圧測定装置の変形例を示すブロック図である。

図5A, 5Bは、図4に示した変形例の動作を説明するためのタイミングチャートである。

図6A, 6Bは、図4に示した変形例の他の動作を説明するためのタイミングチャートである。

図7は、本発明の第2の実施の形態に係る電圧測定装置内の電圧測定回路  
30 の構成を示す回路図である。

図 8 は、本発明の第 3 の実施の形態に係る電圧測定装置内の電圧測定回路の構成を示す回路図である。

図 9 は、本発明の第 4 の実施の形態に係る電圧測定装置内の電圧測定回路の構成を示す回路図である。

5

### 発明を実施するための最良の形態

以下、本発明の実施の形態を図面を参照しながら詳細に説明する。

図 1 は本発明の実施の形態に係る電圧測定装置の構成を示す図である。この電圧測定装置は、電池 1、電圧測定部 2、電圧変換部 3 及び制御装置 4 から構成されている。  
10

電池 1 は、 $n$  個 ( $n$  は 1 以上の整数) のブロック  $1_0, \dots, 1_n$  が直列に接続されて構成されており、各ブロック  $1_0$  は、本発明の電圧源に対応し、複数の電池セルが直列に接続されて構成されている。この電池 1 は、例えば  $100 \sim 200V$  といった高い電圧を出力する。

15 電圧測定部 2 は、 $n$  個の電圧測定回路  $2_0, \dots, 2_n$  から構成されている。電圧測定回路  $2_0, \dots, 2_n$  の各々は同一の構成を有する。電圧測定回路  $2_0, \dots, 2_n$  は、制御装置 4 からの制御信号に応じて、電池 1 のブロック  $1_0, \dots, 1_n$  からの電圧をそれぞれ取り込んで保持する。そして、制御装置 4 からの制御信号に応じて、保持している電圧を電圧変換部 3 に送る。

20 電圧変換部 3 は、例えば  $n$  個の A/D 変換器  $3_0, \dots, 3_n$  から構成されている。A/D 変換器  $3_0, \dots, 3_n$  の各々は同一の構成を有する。A/D 変換器  $3_0, \dots, 3_n$  は、電圧測定回路  $2_0, \dots, 2_n$  からアナログ信号として供給される電圧をデジタル信号に変換して制御装置 4 に送る。

25 制御装置 4 は、電圧測定回路  $2_0, \dots, 2_n$  に制御信号を供給して、それらの動作を制御すると共に、A/D 変換器  $3_0, \dots, 3_n$  から送られてくるデジタル信号を加算し、電池 1 の全体の電圧やブロック毎の電圧を算出する。算出された電圧は、電池 1 の充電状況、放電状況、電池の寿命、異常等をモニタするために使用される。

(第 1 の実施の形態)

図2は本発明の第1の実施の形態に係る電圧測定装置内の電圧測定回路の構成を示す回路図である。この電圧測定回路は、図1に示す電圧測定回路20<sub>1</sub>～20<sub>n</sub>に対応する。

電圧測定回路は、電圧入力端子A及びB、制御信号入力端子C、D、E及びF、並びに電圧出力端子G及びHを備えている。電圧入力端子Aは電池1を構成する複数のブロック10<sub>1</sub>～10<sub>n</sub>の中の1つのブロックの一方の端子(正極端子)に接続され、電圧入力端子Bはそのブロックの他方の端子(負極端子)に接続される。電圧出力端子G及びHは、複数のA/D変換器30<sub>1</sub>～30<sub>n</sub>の中の1つのA/D変換器に接続される。また、制御信号入力端子C、D、E及びFは制御装置4に接続される。

この電圧測定装置は、第1スイッチ群を構成するPチャンネルMOS電界効果トランジスタ(以下、「Pch-MOSFET」といい、本発明の第1導電型のMOSFETに対応する。)Q1及びPch-MOSFET Q2、第2のスイッチ群を構成するNチャンネルMOS電界効果トランジスタ(以下、「Nch-MOSFET」とい、本発明の第2導電型のMOSFETに対応する。)Q7及びNch-MOSFET Q8、並びに第3のスイッチ群を構成するNch-MOSFET Q5及びNch-MOSFET Q6を備えている。これらPch-MOSFET Q1、Pch-MOSFET Q2、Nch-MOSFET Q5、Nch-MOSFET Q6、Nch-MOSFET Q7及びNch-MOSFET Q8としては、電池1の電圧によって異なるが、例えば500Vに耐え得る高耐圧の素子が使用される。

Pch-MOSFET Q2のソース(本発明の第1主電極に対応)は抵抗R2を介して電圧入力端子Aに接続され、ドレイン(本発明の第2主電極に対応)は抵抗R9を介してコンデンサC1(本発明の第1蓄電素子に対応)の一方の端子に接続されている。また、Pch-MOSFET Q2のゲート(本発明の制御電極に対応)はNch-MOSFET Q6のドレインに接続され、更に、バックゲート(サブストレート)は電圧入力端子Aに接続されている。

Pch-MOSFET Q2のバックゲート(電圧入力端子A)とゲートとの間には、Pch-MOSFET Q2のゲート電圧を確定させるために、ツ

エナーダイオードと同様にゲート電圧のリミッタとして機能するように接続されたNPNトランジスタQ4と抵抗R4とが並列に接続されている。即ち、NPNトランジスタQ4のコレクタ及びエミッタはPch-MOSFETQ2のバックゲート（電圧入力端子A）に接続され、ベースはPch-MOSFETQ2のゲートに接続されている。  
5

抵抗R2は本発明の電流制限部を構成する抵抗素子に、NPNトランジスタQ4は本発明の電流制限部を構成する電圧制限素子にそれぞれ対応し、これら抵抗R2及びNPNトランジスタQ4により、Pch-MOSFETQ2に流れる電流が制限されてその破壊が防止される。

10 抵抗R9は予期せぬ事態により、蓄積素子側から電池側に電流が流れても、過大な電流が流れないよう、抵抗R9により過電流を防止しPch-MOSFETQ2の破壊を防止するためのもので、Pch-MOSFETQ2や使用条件によって抵抗R9は無くてもよい。

また、Pch-MOSFETQ1のソースは、抵抗R1を介して電圧入力端子Bに接続され、ドレインは抵抗R8を介してコンデンサC1の他方の端子に接続されている。また、Pch-MOSFETQ1のゲートはNch-MOSFETQ5のドレインに接続され、更に、バックゲートは電圧入力端子Bに接続されている。  
15

Pch-MOSFETQ1のバックゲート（電圧入力端子B）とゲートとの間には、Pch-MOSFETQ1のゲート電圧を確定させるために、エナーダイオードと同様にゲート電圧のリミッタとして機能するように接続されたNPNトランジスタQ3と抵抗R3とが並列に接続されている。即ち、NPNトランジスタQ3のコレクタ及びエミッタはPch-MOSFETQ1のバックゲート（電圧入力端子A）に接続され、ベースはPch-MOSFETQ1のゲートに接続されている。  
20  
25

抵抗R1は本発明の電流制限部を構成する抵抗素子に、NPNトランジスタQ3は本発明の電流制限部を構成する電圧制限素子にそれぞれ対応し、これら抵抗R1及びNPNトランジスタQ3により、Pch-MOSFETQ1に流れる電流が制限されてその破壊が防止される。

抵抗 R 8 は予期せぬ事態により、蓄積素子側から電池側に電流が流れても、過大な電流が流れないよう、抵抗 R 8 により過電流を防止し Pch-MOSFET Q 1 の破壊を防止するためのもので、Pch-MOSFET Q 1 や使用条件によって抵抗 R 8 は無くてもよい。

5 Nch-MOSFET Q 6 は、Pch-MOSFET Q 2 を駆動するため用いられる。Nch-MOSFET Q 6 のドレインは、上述したように Pch-MOSFET Q 2 のゲートに接続されている。また、Nch-MOSFET Q 6 のソースは抵抗 R 6 を介してグランドに接続されており、バックゲート（サブストレート）もグランドに接続されている。抵抗 R 6 は本発明  
10 の電流制限部を構成する抵抗素子に対応する。抵抗 R 6 により、Nch-MOSFET Q 6 に流れる電流が制限され、その破壊が防止される。

更に、Nch-MOSFET Q 6 のゲートは制御信号入力端子 E に接続されている。制御信号入力端子 E に外部から高レベル（以下、「Hレベル」という）の電圧が印加されることにより Nch-MOSFET Q 6 はオンになる。その結果、Pch-MOSFET Q 2 もオンになり、電圧入力端子 A からの電圧がコンデンサ C 1 の一方の端子に印加される。  
15

Nch-MOSFET Q 5 は、Pch-MOSFET Q 1 を駆動するため用いられる。Nch-MOSFET Q 5 のドレインは、上述したように Pch-MOSFET Q 1 のゲートに接続されている。また、Nch-MOSFET Q 5 のソースは抵抗 R 5 を介してグランドに接続され、バックゲート（サブストレート）もグランドに接続されている。抵抗 R 5 は本発明の電流制限部を構成する抵抗素子に対応する。抵抗 R 5 により、Nch-MOSFET Q 5 に流れる電流が制限され、その破壊が防止される。  
20

更に、Nch-MOSFET Q 5 のゲートは制御信号入力端子 F に接続されている。制御信号入力端子 F に外部から H レベルの電圧が印加されることにより Nch-MOSFET Q 5 はオンになる。その結果、Pch-MOSFET Q 1 もオンになり、電圧入力端子 B からの電圧がコンデンサ C 1 の他方の端子に印加される。  
25

Nch-MOSFET Q 8 のドレインはコンデンサ C 1 の一方の端子に接続され、ソースは電圧出力端子 G 及びツェナーダイオード ZD 1 のカソー  
30

ドに接続され、ツェナーダイオードZD1のアノードはグランドに接続されている。A/D変換器の入力インピーダンスは非常に高いため、静電容量やリーク電流のために電圧出力端子の電圧が上昇し第2スイッチ群のMOSFETが破壊するこがないよう保護のために、ツェナーダイオードZD1が挿入されている。<sup>5</sup> Nch-MOSFETQ8のバックゲート(サブストレート)はグランドに接続され、ゲートは制御信号入力端子Cに接続されている。制御信号入力端子Cに外部からHレベルの電圧が印加されることによりNch-MOSFETQ8はオンになり、コンデンサC1の一方の端子の電位が電圧出力端子Gに出力される。

<sup>10</sup> Nch-MOSFETQ7のドレインはコンデンサC1の他方の端子に接続され、ソースは抵抗R7を介して電圧出力端子H及びグランドに接続されている。

Nch-MOSFETQ7のバックゲート(サブストレート)はグランドに接続され、ゲートは制御信号入力端子Dに接続されている。制御信号入力端子Dに外部からHレベルの電圧が印加されることによりNch-MOSFETQ7はオンになり、コンデンサC1の他方の端子の電位が電圧出力端子Hに出力される。<sup>15</sup>

上述したPch-MOSFETQ1及びQ2は高耐圧のトランジスタから構成されており、電圧入力端子A及びBに接続された被測定電圧源をそのままPch-MOSFETQ1及びQ2のゲート駆動用電源として利用できる。<sup>20</sup>

即ち、高耐圧のPch-MOSFETQ2のゲート-ソース間には、抵抗R2を介して、抵抗R4及びツェナーダイオードとして機能するNPNトランジスタQ4が並列に接続されており、高耐圧のNch-MOSFETQ6がオン状態の期間は、NPNトランジスタQ4がツェナー降伏を起こし、Pch-MOSFETQ2のゲート-ソース間電圧を降伏電圧に保つことができる。また、Nch-MOSFETQ6がオフ状態の期間は、Pch-MOSFETQ2のゲート-ソース間が抵抗R4によって短絡され、オン状態の期間に蓄積されたPch-MOSFETQ2のゲート電荷を放出すると<sup>25</sup>共に、Pch-MOSFETQ2のゲートの電位をソース電位に固定する。<sup>30</sup>

同様に、高耐圧の Pch-MOSFET Q1 のゲート-ソース間には、抵抗 R1 を介して、抵抗 R3 及びツエナーダイオードとして機能する NPN トランジスタ Q3 が並列に接続されており、高耐圧の Nch-MOSFET Q5 がオン状態の期間は、NPN トランジスタ Q3 がツエナー降伏を起こし、  
5 Pch-MOSFET Q1 のゲート-ソース間電圧を降伏電圧に保つことができる。また、Nch-MOSFET Q5 がオフ状態の期間は、Pch-MOSFET Q1 のゲート-ソース間が抵抗 R3 によって短絡され、オン状態の期間に蓄積された Pch-MOSFET Q1 のゲート電荷を放出すると共に、Pch-MOSFET Q1 のゲートの電位をソース電位に固定する。  
10 従って、Pch-MOSFET Q1 及び Q2 をオン及びオフさせるためにゲートに印加する電圧を特別の電源で生成する必要がなく、電圧測定装置を安価且つ小型に構成することができる。

なお、上述した第 1 スイッチ群は、高耐圧の Nch-MOSFET で構成することもできる。しかしながら、高耐圧の Pch-MOSFET Q1 及び  
15 Q2 を用いることにより、高耐圧の Nch-MOSFET で同じ目的の回路を構成するよりも簡素な回路構成とすることができます。つまり、高耐圧の Pch-MOSFET Q1 及び Q2 の代わりに高耐圧の Nch-MOSFET を使用した場合、Nch-MOSFET がオンするためには、ゲート電位をソース電位より閾電圧分だけ高くする必要がある。また、Nch-MOSFET がオンした場合には、ソース電位がドレイン側の被測定電圧源の電位の近くまで上昇するので、ゲート電位を被測定電圧源の電位より高い電位に上げないと、Nch-MOSFET はオン状態を続けることができない。

従って、Pch-MOSFET を使用した場合のように、被測定電圧源をそのままゲート駆動用電源として利用することができず、電圧入力端子 A 及  
25 び B の被測定電圧源の電位よりも閾電圧分だけ高いゲート駆動用電圧を生成する回路が別途必要になる。このようなゲート駆動用電圧を生成するためには、フローティング電源駆動、ブートストラップ駆動、チャージポンプ駆動等を用いることができるが、回路構成が複雑になってしまふ。

次に、以上のように構成される本発明の第 1 の実施の形態に係る電圧測定  
30 装置の動作を、図 3 を参照しながら説明する。

まず、制御装置 4 から制御信号入力端子 C 及び D に L レベル（以下、「L レベル」という）の制御信号が供給されると共に、制御信号入力端子 E 及び F に H レベルの制御信号が供給される。これにより、図 3 A に示すように、Nch-MOSFET Q6 及び Q5 がオンされ、その結果、Pch-MOSFET Q2 及び Q1 がオンされる。また、Nch-MOSFET Q8 及び Q7 はオフされる。この状態で、電池 1 の 1 つのブロック 10 からの電流 I が図示するように流れ、コンデンサ C1 を充電する。この充電は、コンデンサ C1 の両端子間の電圧がブロック 10 の両端子間の電圧に等しくなるまで、制御信号入力端子 E 及び F に供給される制御信号を H レベルに保つことに 10 より行われる。

次に、図 3 A に示す状態において、制御装置 4 から制御信号入力端子 E 及び F に L レベルの制御信号が供給される。これにより、図 3 B に示すように、Nch-MOSFET Q6 及び Q5 がオフされ、その結果、Pch-MOSFET Q2 及び Q1 がオフされる。また、Nch-MOSFET Q8 及び Q7 はオフ状態を維持する。この状態では、コンデンサ C1 は先の充電に基づく電圧を保持している。

次に、図 3 B に示す状態において、制御装置 4 から制御信号入力端子 C 及び D に H レベルの制御信号が供給される。これにより、図 3 C に示すように、Nch-MOSFET Q8 及び Q7 がオンされる。その結果、電圧出力端子 G と電圧出力端子 H との間にコンデンサ C1 の両端の電圧が出力される。その後、図 3 B に示す状態を経て図 3 A に示す状態に至り、以下、上述した測定サイクルが繰り返される。

以上説明したように、第 1 の実施の形態に係る電圧測定装置によれば、第 1 ~ 第 3 スイッチ群を構成するスイッチとしてフォトMOSFETではなく Pch-MOSFET 及び Nch-MOSFET を使用しているので、応答速度が速く、コンデンサを充放電するための切り換えを正確且つ素早く行うことができ、その結果、高精度且つ高速で電圧を測定できる。

また、第 1 スイッチ群を構成する Pch-MOSFET は電圧源からの電圧に基づき制御電極に印加される電圧に応じてオン／オフし、第 2 及び第 3 スイッチ群を構成する Nch-MOSFET は外部からの信号に応じてオ

ン／オフするので、特別の電源を必要とせず、安価且つ小型の電圧測定装置を実現できる。

また、Pch-MOSFET及びNch-MOSFETは小型化、高集積化が容易であるので、安価且つ小型の電圧測定装置を実現できる。更に、Pch-MOSFET及びNch-MOSFETは耐高温化がフォトMOSFETに比べて容易であるので、燃料電池等の運転温度が高くなる電池に適用できる。

以上説明した電圧測定装置は、図1に示す電圧測定回路20<sub>1</sub>～20<sub>n</sub>として使用される。即ち、制御装置4は、電圧測定回路20<sub>1</sub>～20<sub>n</sub>に制御信号を送る以下の動作を行わせる。即ち、まず、電圧測定回路20<sub>1</sub>～20<sub>n</sub>に含まれる第1スイッチ群をオンさせる。これにより、電圧測定回路20<sub>1</sub>～20<sub>n</sub>に含まれる各コンデンサC1が充電される。次に、電圧測定回路20<sub>1</sub>～20<sub>n</sub>に含まれる第1スイッチ群をオフさせた後、第2スイッチ群をオンさせる。

これにより、電圧測定回路20<sub>1</sub>～20<sub>n</sub>の各々の電圧出力端子G及びHから一斉に電圧が出力され、A/D変換器30<sub>1</sub>～30<sub>n</sub>に供給される。A/D変換器30<sub>1</sub>～30<sub>n</sub>は、入力されたアナログの電圧をデジタル信号に変換して制御装置4に送る。制御装置4は、A/D変換器30<sub>1</sub>～30<sub>n</sub>から送られてくるデジタル信号を加算し、電池1の全体の電圧やブロック毎の電圧を算出する。算出された電圧は、電池1の充電状況、放電状況、電池の寿命、異常等をモニタするために使用される。

図1に示した本発明の電圧測定装置は、図4に示すように変形することができる。即ち、電圧変換部3を1個のA/D変換器30で構成する。この場合、制御装置4は、電圧測定回路20<sub>1</sub>～20<sub>n</sub>を以下のように制御する。即ち、制御装置4は、まず、図5Aに示すように、電圧測定回路20<sub>1</sub>～20<sub>n</sub>に含まれる第1スイッチ群を同時にオンさせるような制御信号IN1～INnを送る。これにより、電圧測定回路20<sub>1</sub>～20<sub>n</sub>に含まれる各コンデンサC1が充電される。

次に、電圧測定回路20<sub>1</sub>～20<sub>n</sub>に含まれる第1スイッチ群をオフさせた後、図5Bに示すように、電圧測定回路20<sub>1</sub>～20<sub>n</sub>に含まれる第2スイッ

チ群を順次にオンにさせるような制御信号OUT<sub>1</sub>～OUT<sub>n</sub>を送る。これにより、電圧測定回路20<sub>1</sub>～20<sub>n</sub>からは電圧が順次に出力されてA/D変換器30に供給される。制御装置4は、A/D変換器30から送られてくるデジタル信号を追跡的に加算し、電池1の全体の電圧を算出する。場合によ  
5 っては、所望のタイミングで送られてくるデジタル信号のみを処理し、所望の1又は複数のブロックの電圧を算出する。

このような構成によれば、A/D変換器の数を減らすことができるので、電圧測定装置を安価且つ小型に構成できる。また、全ての電圧測定回路20<sub>1</sub>～20<sub>n</sub>に含まれるコンデンサC1への充電は同時にを行い、計測は任意のブ  
10 ロック毎に順次に実施することができるので、電池が車両に搭載される場合、急加速時や、ブレーキ時などの、ある瞬間の電池電圧を正確に計測するこ  
15 ができる。

更に、制御装置4から出力する制御信号により、電圧測定回路20<sub>1</sub>～20<sub>n</sub>に含まれるコンデンサC1への充電を異なるタイミングで行うように構  
15 成できる。

制御装置4は、まず、図6Aに示すように、電圧測定回路20<sub>1</sub>～20<sub>n</sub>に含まれる第1スイッチ群を順次にオンさせるような制御信号IN<sub>1</sub>～IN<sub>n</sub>を送る。これにより、電圧測定回路20<sub>1</sub>～20<sub>n</sub>に含まれる各コンデンサC1が順次に充電される。充電が済んだコンデンサC1を含む電圧測定回  
20 路20<sub>1</sub>～20<sub>n</sub>の第1スイッチ群はオフされる。

次に、図6Bに示すように、充電中でない電圧測定回路20<sub>1</sub>～20<sub>n</sub>に含まれる第2スイッチ群をオンさせるような制御信号OUT<sub>1</sub>～OUT<sub>n</sub>を送る。

これにより、充電中でない電圧測定回路20<sub>1</sub>～20<sub>n</sub>から電圧が順次に出力され、A/D変換器30に供給される。制御装置4は、A/D変換器30から送られてくるデジタル信号を追跡的に加算し、電池1の全体の電圧を算出する。場合によっては、所望のタイミングで送られてくるデジタル信号のみを処理し、所望の1又は複数のブロックの電圧を算出する。

このような構成によれば、電圧測定回路20<sub>1</sub>～20<sub>n</sub>に含まれるコンデンサC1への充電を順次に行い、充電中でないコンデンサC1から電圧が取り  
30 られる。

出されるので、異なる電圧測定回路 $20_1 \sim 20_n$ の間で充電と電圧の取り出しと同時にを行うことができ、計測時間を短縮できる。

なお、この変形例では、n個の電圧測定回路に対して1個のA/D変換器を設ける構成としたが、m個（mは1以上の整数で、 $m < n$ ）のA/D変換器を設けるように構成することもできる。この場合も、制御装置4が電圧測定装置 $20_1 \sim 20_n$ に含まれる第1スイッチ群及び第2スイッチ群を適宜制御することにより、上述したのと同等又はそれ以上の効果を奏する。

#### (第2の実施の形態)

本発明の第2の実施の形態に係る電圧測定装置は、スイッチ等の浮遊容量に起因して発生する誤差電圧を補正し、測定サイクルの高速化を図るものである。

図7はこの第2の実施の形態に係る電圧測定装置内の電圧測定回路の構成を示す回路図である。この電圧測定回路は、図2に示した第1の実施の形態に係る電圧測定回路に、制御信号入力端子I、制御信号入力端子J、電圧出力端子K、ダミーコンデンサC2（本発明の第2蓄電素子に対応）が追加されると共に、第1スイッチ群に高耐圧のPch-MOSFET Q9、第3スイッチ群に高耐圧のNch-MOSFET Q11、及び第2スイッチ群にNch-MOSFET Q12が追加されて構成されている。ダミーコンデンサC2の一方の端子は、コンデンサC1の他方の端子に接続されている。

Pch-MOSFET Q9のソースは抵抗R10を介して電圧入力端子Bに接続され、ドレインは抵抗R14を介してダミーコンデンサC2の他方の端子に接続されている。また、Pch-MOSFET Q9のゲートはNch-MOSFET Q11のドレインに接続され、更に、バックゲートは電圧入力端子Bに接続されている。

Pch-MOSFET Q9のバックゲート（電圧入力端子B）とゲートとの間には、Pch-MOSFET Q9のゲート電圧を確定させるために、ツェナーダイオードと同様にゲート電圧のリミッタとして機能するように接続されたNPNトランジスタQ10と抵抗R11とが並列に接続されている。即ち、NPNトランジスタQ10のコレクタ及びエミッタはPch-M

OSFET Q9のバックゲート（電圧入力端子B）に接続され、ベースはPch-MOSFET Q9のゲートに接続されている。

抵抗R10は本発明の電流制限部を構成する抵抗素子に、NPNトランジスタQ10は本発明の電流制限部を構成する電圧制限素子にそれぞれ対応し、これら抵抗R10及びNPNトランジスタQ10により、Pch-MOSFET Q9に流れる電流が制限されてその破壊が防止される。

Nch-MOSFET Q11は、Pch-MOSFET Q2を駆動するために用いられる。Nch-MOSFET Q11のドレインは、上述したようにPch-MOSFET Q9のゲートに接続されている。また、Nch-MOSFET Q11のソースは抵抗R12を介してグランドに接続されており、バックゲート（サブストレート）もグランドに接続されている。抵抗R12は本発明の電流制限部を構成する抵抗素子に対応する。抵抗R12により、Nch-MOSFET Q11に流れる電流が制限され、その破壊が防止される。

更に、Nch-MOSFET Q11のゲートは制御信号入力端子Jに接続されている。制御信号入力端子Jに外部からHレベルの電圧が印加されることによりNch-MOSFET Q11はオンになる。その結果、Pch-MOSFET Q9もオンになり、電圧入力端子Bからの電圧がダミーコンデンサC2の他方の端子に印加される。

Nch-MOSFET Q12ドレインはダミーコンデンサC2の他方の端子に接続され、ソースは抵抗R13を介して電圧出力端子K及びグランドに接続されている。Nch-MOSFET Q12のバックゲート（サブストレート）はグランドに接続され、ゲートは制御信号入力端子Iに接続されている。制御信号入力端子IにHレベルの電圧が印加されることによりNch-MOSFET Q12はオンになり、ダミーコンデンサC2の他方の端子の電位が電圧出力端子Kに出力される。

Nch-MOSFET Q7のソースは電圧出力端子H及びツェナーダイオードZD3のカソードに接続され、ツェナーダイオードZD3のアノードはグランドに接続されている。A/D変換器の入力インピーダンスは非常に高いため、静電容量やリーキ電流のために電圧出力端子の電圧が上昇し第2

スイッチ群のMOSFETが破壊する事がないよう保護のために、ツェナーダイオードZD3が挿入されている。

この例では、電圧出力端子Gとグランド間にツェナーダイオードZD1を挿入し、電圧出力端子Hとグランド間にツェナーダイオードZD3を挿入しているが、例えば、電圧出力端子Gに第1ツェナーダイオードのカソードを接続し、電圧出力端子Hに第2ツェナーダイオードのカソードを接続し、第1及び第2ツェナーダイオードのアノードを共通接続し、この接続点に第3ツェナーダイオードのカソードを接続し、第3ツェナーダイオードのアノードを電圧出力端子Kに接続しても良い。

上述した第1の実施の形態に係る電圧測定装置（図2参照）の場合、 $P_{ch}$ -MOSFET Q1及びQ2をオンすると、コンデンサC1に電荷が蓄積されるが、それと同時に $N_{ch}$ -MOSFET Q7及びQ8の寄生容量にも電荷が蓄積される。 $N_{ch}$ -MOSFET Q8及びQ7をオンすると、電圧出力端子Gと電圧出力端子Hとの間には、それらの間に存在する容量に保持された電圧が現れる。ところが、電圧出力端子Hはグランド電位として使用されるため、 $N_{ch}$ -MOSFET Q7の寄生容量に蓄積された電荷は、グランドに放出されてしまい、電圧出力端子GにはコンデンサC1と $N_{ch}$ -MOSFET Q8の寄生容量とに蓄積された電荷に対応する電圧、つまり $N_{ch}$ -MOSFET Q8の寄生容量の電荷分だけ被測定電圧よりも大きな電圧が現れてしまう。従って、コンデンサC1としては、 $N_{ch}$ -MOSFET Q8の寄生容量による誤差分を無視できる容量のコンデンサ、つまり $N_{ch}$ -MOSFET Q8の寄生容量より十分大きな容量のコンデンサを使用しなければならない。このため、コンデンサC1の電荷の充放電時間が長くなってしまい、測定サイクルを高速化できない。

第2の実施の形態に係る電圧測定装置は、このような問題を解消するものである。ポイントは、電圧入力端子Aから見た回路と電圧入力端子Bから見た回路の対象性を考慮してダミーコンデンサC2を設けたことである。つまり、 $P_{ch}$ -MOSFET Q1、Q2及びQ9をオンすると、電圧入力端子A及び電圧入力端子Bから供給される電圧に基づく電荷は、それぞれコンデ

ンサC1とダミーコンデンサC2に蓄積されるのと同時に、Nch-MOSFETQ8及びQ7の寄生容量にも蓄積される。

この電圧測定回路の場合、電圧出力端子Kがグランド端子として使用される。

5 従って、同じコンデンサ容量、同じ寄生容量に電荷が蓄積され、且つNch-MOSFETQ8及びQ7をオンしても寄生容量に蓄積された電荷の逃げ道がないため、電圧出力端子Gと電圧出力端子Hとの間には電圧入力端子Aと電圧入力端子Bとの電位差に相当する正確な電圧値が現れる。

もっと具体的に説明すると、Nch-MOSFETQ8から電圧出力端子Gへは、コンデンサ容量C1とQ8の寄生容量( $\alpha_1$ )との総和容量に応じた電圧が出力され、Nch-MOSFETQ7から電圧出力端子HへはQ7の寄生容量( $\alpha_2$ )に応じた電圧が出力される。ここで、ダミーコンデンサC2の両端電圧はゼロであり、 $\alpha_1$ と $\alpha_2$ とが略同一値であるので、電圧出力端子Gと電圧出力端子Hとの間の電位差は、コンデンサ容量C1に対応した電圧となる。従って、誤差を考慮してコンデンサC1の容量を大きくする必要がないので、充放電時間の短縮化が可能であり、測定サイクルを高速化することができる。

#### (第3の実施の形態)

本発明の第3の実施の形態に係る電圧測定装置は、負電圧の測定を可能にするものである。

図8は第3の実施の形態に係る電圧測定装置内の電圧測定回路の構成を示す回路図である。この電圧測定回路は、図2に示した第1の実施の形態に係る電圧測定回路に対して、Nch-MOSFETQ8のソースとバックゲート(サブストレート)とを接続すると共に、電圧出力端子HをツェナーダイオードZD2を介してグランドに接続したものである。

ツェナーダイオードZD2を用いることにより、後段で基準電位として使用される電圧出力端子Hの電位を、図示していない電源を用いてグランド電位に対して一定電圧値分だけ持ち上げることが可能になる。これにより、被測定電圧源に接続されている電圧に電圧入力端子A及びBの電位差が、負電位となる場合であっても計測が可能になる。

また、第1の実施の形態に係る電圧測定回路（図2参照）では、コンデンサC1に蓄積された電圧を電圧出力端子G及びHに出力する際に、Nch-MOSFETQ8をオンにするが、この時被測定電源の電圧がNch-MOSFETQ8のソース-バックゲート耐圧よりも高い電圧であると、電圧出力端子Gとグランドとの間でブレイクダウンしてしまい、電圧測定ができない。

また、基板バイアス効果によりNch-MOSFETQ8の閾値が上昇するため、より高いゲート電圧が必要となる。

これに対し、第3の実施の形態に係る電圧測定回路のようにNch-MOSFETQ8のソースとバックゲートをショートすると、そのような問題は生じない。この構成により、バックゲートの耐圧に依存せずに、より高い電圧の測定が可能になる。

また、基板バイアス効果もなくNch-MOSFETQ8の閾値が上昇することがないため、高いゲート電圧を印加することなくオン／オフができる。

また、Nch-MOSFETQ7のソースは抵抗R7を介して電圧出力端子H及びツェナーダイオードZD2のカソードに接続され、ツェナーダイオードZD2のアノードはグランドに接続されている。A/D変換器の入力インピーダンスは非常に高いため、静電容量やリーク電流のために電圧出力端子の電圧が上昇し第2スイッチ群のMOSFETが破壊することがないよう保護のために、ツェナーダイオードZD2が挿入されている。

なお、第3の実施の形態は、第1の実施の形態に係る電圧測定装置におけるNch-MOSFETQ8のソースとバックゲート（サブストレート）とを接続すると共に、電圧出力端子HをツェナーダイオードZD2を介してグランドに接続したものであるが、第2の実施の形態に係る電圧測定装置におけるNch-MOSFETQ8のソースとバックゲート（サブストレート）とを接続すると共に、電圧出力端子HをツェナーダイオードZD3を介してグランドに接続するように構成することもできる。この場合も上述したものと同様の作用及び効果を奏する。

（第4の実施の形態）

図9は第4の実施の形態に係る電圧測定装置内の電圧測定回路の構成を示す回路図である。図2に示す電圧測定回路は、複数の電圧源が正電圧の場合で、第1スイッチ群がPch-MOSFETから構成され、第2スイッチ群及び第3スイッチ群が、Nch-MOSFETから構成されていたのに対し、図9に示す電圧測定回路は、複数の電圧源が負電圧の場合で、第1スイッチ群がNch-MOSFETから構成され、第2スイッチ群及び第3スイッチ群がPch-MOSFETから構成されることを特徴とする。

ここでは、図2に示す構成に対して、相違する構成のみを説明する。電圧入力端子Aは1つのブロックの一方の端子（負極端子）に接続され、電圧入力端子Bはそのブロックの他方の端子（正極端子）に接続される。Pch-MOSFETQ2に代えて、Nch-MOSFETQ2を設け、NPNトランジスタQ4に代えて、PNPトランジスタQ24を設け、Pch-MOSFETQ1に代えて、Nch-MOSFETQ21を設け、NPNトランジスタQ3に代えて、PNPトランジスタQ23を設けている。また、Nch-MOSFETQ5に代えて、Pch-MOSFETQ25を設け、Nch-MOSFETQ6に代えて、Pch-MOSFETQ26を設け、Nch-MOSFETQ7に代えて、Pch-MOSFETQ27を設け、Nch-MOSFETQ8に代えて、Pch-MOSFETQ28を設けている。ツェナーダイオードZD1に代えて、ツェナーダイオードZD4を設けている。

20

以上のように構成された第4の実施の形態に係る電圧測定装置によれば、制御装置4から制御信号入力端子C及DにHレベルの制御信号が供給されると共に、制御信号入力端子E及びFにLレベルの制御信号が供給される。これにより、図3Aに示すように、Pch-MOSFETQ26及びQ25がオンされ、その結果、Nch-MOSFETQ22及びQ21がオンされる。また、Pch-MOSFETQ28及びQ27はオフされる。この状態で、電池1の1つのブロック10からの電流Iが図示するように流れてコンデンサC1を充電する。この充電は、コンデンサC1の両端子間の電圧がブロック10の両端子間の電圧に等しくなるまで、制御信号入力端子E及びFに供給される制御信号をLレベルに保つことにより行われる。

30

次に、図 3 A に示す状態において、制御装置 4 から制御信号入力端子 E 及び F に H レベルの制御信号が供給される。これにより、図 3 B に示すように、Pch-MOSFET Q26 及び Q25 がオフされ、その結果、Nch-MOSFET Q22 及び Q21 がオフされる。また、Pch-MOSFET Q5 28 及び Q27 はオフ状態を維持する。この状態では、コンデンサ C1 は先の充電に基づく電圧を保持している。

次に、図 3 B に示す状態において、制御装置 4 から制御信号入力端子 C 及び D に L レベルの制御信号が供給される。これにより、図 3 C に示すように、Pch-MOSFET Q28 及び Q27 がオンされる。その結果、電圧出力端子 G と電圧出力端子 Hとの間にコンデンサ C1 の両端の電圧が出力される。その後、図 3 B に示す状態を経て図 3 A に示す状態に至り、以下、上述した測定サイクルが繰り返される。

即ち、第 4 の実施の形態に係る電圧測定装置においても、第 1 の実施の形態に係る電圧測定装置の作用及び効果と同様な作用及び効果を奏する。

なお、第 1 の実施の形態に係る電圧測定装置の変形例及びその他の変形例（図 4～図 6 A, 6 B）、第 2 の実施の形態に係る電圧測定装置（図 7）、第 3 の実施の形態に係る電圧測定装置（図 8）のそれぞれにおいても、第 4 の実施の形態に係る電圧測定装置と同様に、複数の電圧源を負電圧とし、第 1 スイッチ群を Nch-MOSFET から構成し、第 2 スイッチ群及び第 3 スイッチ群を Pch-MOSFET から構成するようにしても良い。このように構成しても同様な作用及び効果を奏する。

### 産業上の利用可能性

以上説明したように、本発明によれば、第 3 スイッチ群がオンされることにより第 1 スイッチ群がオンされて第 1 電圧入力端子と第 2 電圧入力端子との間に印加される電圧で第 1 蓄電素子が充電され、第 3 スイッチ群がオフされることにより第 1 スイッチ群がオフされている期間に第 2 スイッチ群がオンされることにより第 1 蓄電素子に保持されている電圧が第 1 電圧出力端子と第 2 電圧出力端子との間に outputされる。即ち、第 1 ～第 3 スイッチ群を構成するスイッチとしてフォトMOSFETではなく、第 1 導電型の M

MOSFET (例えばPch-MOSFET) 及び第2導電型のMOSFET (例えばNch-MOSFET) を使用しているので、応答速度が速く、第1蓄電素子を充放電するための切り換えを正確且つ素早く行うことができ、その結果、高精度且つ高速で電圧を測定できる。また、Pch-MOSFET及びNch-MOSFETは、小型化、高集積化が容易であるので、安価且つ小型の電圧測定装置を実現できる。更に、Pch-MOSFET及びNch-MOSFETは、耐高温化がフォトMOSFETに比べて容易であるので、燃料電池等の運転温度が高くなる電池に適用できる。

また、本発明によれば、第3スイッチ群がオンされることにより第1スイッチ群がオンされて第1電圧入力端子と第2電圧入力端子との間に印加される電圧で第1蓄電素子及び第2蓄電素子を充電し、第3スイッチ群がオフされることにより第1スイッチ群がオフされている期間に第2スイッチ群がオンされることにより第1蓄電素子に保持されている電圧を第1電圧出力端子と第2電圧出力端子との間に出し、且つ第3電圧出力端子がグランド電位に保持されているので、第2スイッチ群を構成する第1及び第2Nch-MOSFETの浮遊容量に基づいて第1電圧出力端子及び第2電圧出力端子間に出現する電圧誤差を補正することができる。その結果、第1蓄電素子の容量を小さくすることができるので、第1蓄電素子の充放電時間を短くすることができ、更に高速で高精度な電圧の測定が可能になる。

更に、本発明によれば、例えばバッテリ不良等で被測定電圧源に接続されている第1電圧入力端子と第2電圧入力端子との間の電位差が負電位になる場合であっても電圧の計測が可能になる。

また、本発明によれば、外部からの信号等にノイズが重畠されて、例えば第1スイッチ群を構成するPch-MOSFETと第2スイッチ群を構成するNch-MOSFETが同時にオンされる状態が生じても、当該電圧測定装置を構成している各素子や第1及び第2電圧出力端子に接続される機器を破壊するといった事態を回避できる。

更に、本発明によれば、安価な抵抗素子や電圧制限素子のみで第1～第3スイッチ群を構成するMOSFETに流れる電流を制限して定電流特性を

持たせることができるので、定電流化のため例えばFETといった高価な部品を必要としない。その結果、電圧測定装置を安価に構成できる。

また、本発明によれば、全ての第1蓄電素子への充電は同時にを行い、計測は任意のブロック毎に順次に実施することができるので、電池が車両に適用  
5 される場合、急加速時や、ブレーキ時などの、ある瞬間の電池電圧を正確に計測することができる。

更に、本発明によれば、第1蓄電素子に充電する動作と、第1蓄電素子からの出力を計測する動作とが互いに重ならないよう第1スイッチ群と第2スイッチ群を制御することにより、任意のブロック毎の充電と計測とが可能  
10 になるので、計測時間を短縮できる。

また、本発明によれば、第1スイッチ群を構成するPch-MOSFETは、電圧源からの電圧に基づき制御電極に印加される電圧に応じてオン／オフし、第2及び第3スイッチ群を構成するNch-MOSFETは、入力された信号に応じてオン／オフするので、特別の電源を必要とせず、安価且つ  
15 小型の電圧測定装置を実現できる。

更に、本発明によれば、第1スイッチ群を構成するNch-MOSFETは、電圧源からの電圧に基づき制御電極に印加される電圧に応じてオン／オフし、第2及び第3スイッチ群を構成するPch-MOSFETは、入力された信号に応じてオン／オフするので、特別の電源を必要とせず、安価且つ  
20 小型の電圧測定装置を実現できる。

加えて、本発明によれば、電圧制限素子を設けたので、静電容量やリーク電流により電圧出力端子の電圧が上昇しなくなり、第2スイッチ群のMOSFETを破損することがなくなる。

## 請求の範囲

1. 直列に接続された複数の電圧源を、少なくとも1つの電圧源からなる複数のブロックに分割し、ブロックの電圧を測定する電圧測定装置であって、  
5 前記ブロックの一方の端子に接続される第1電圧入力端子に第1主電極が接続され第1主電極に印加される電圧に基づき制御電極に印加される電圧に応じてオン／オフする第1導電型の第1MOSFETと、前記ブロックの他方の端子に接続される第2電圧入力端子に第1主電極が接続され第1主電極に印加される電圧に基づき制御電極に印加される電圧に応じてオン／オフする第1導電型の第2MOSFETとを有する第1スイッチ群と、  
10 各ブロック毎に設けられ、前記第1導電型の第1MOSFETの第2主電極と前記第1導電型の第2MOSFETの第2主電極との間に接続された第1蓄電素子と、  
前記第1蓄電素子の一方の端子に第2主電極が接続され且つ第1主電極  
15 が第1電圧出力端子に接続され制御電極に入力された信号に応じてオン／オフする前記第1導電型とは反対導電型となる第2導電型の第1MOSFETと、前記第1蓄電素子の他方の端子に第2主電極が接続され且つ第1主電極が第2電圧出力端子に接続され制御電極に入力された信号に応じてオン／オフする第2導電型の第2MOSFETとを有する第2スイッチ群と、  
20 前記第1導電型の第1MOSFETの制御電極に第2主電極が接続され制御電極に入力された信号に応じてオン／オフする第2導電型の第3MOSFETと、前記第1導電型の第2MOSFETの制御電極に第2主電極が接続され制御電極に入力された信号に応じてオン／オフする第2導電型の第4MOSFETとを有する第3スイッチ群と、  
25 前記第3スイッチ群をオンさせることにより前記第1スイッチ群をオンさせ、前記第3スイッチ群をオフさせることにより前記第1スイッチ群がオフしている期間に前記第2スイッチ群をオンさせる制御手段と、を備えることを特徴とする。  
30 2. 請求項1記載の電圧測定装置であって、

一方の端子が前記第1蓄電素子の他方の端子に接続された第2蓄電素子を備え、

前記第1スイッチ群は、前記第2蓄電素子の他方の端子に第2主電極が接続され、前記第2電圧入力端子に第1主電極が接続され第1主電極に印加される電圧に基づきオン／オフする第1導電型の第3MOSFETを備え、  
5

前記第2スイッチ群は、前記第2蓄電素子の他方の端子に第2主電極が接続され且つ第1主電極がグランド電位に保持された第3電圧出力端子に接続され制御電極に入力される信号に応じてオン／オフする第2導電型の第5MOSFETを備え、  
10

前記第3スイッチ群は、前記第1導電型の第3MOSFETの制御電極に第2主電極が接続され制御電極に入力される信号に応じてオン／オフする第2導電型の第6MOSFETを備えることを特徴とする。  
15

3. 請求項1記載の電圧測定装置であって、

前記第2導電型の第2MOSFETの第1主電極から前記第2電圧出力端子に出力される電位をグランド電位に対して一定電圧値分だけ持ち上げることのできる手段を備えることを特徴とする。  
20

4. 請求項1記載の電圧測定装置であって、

前記第1スイッチ群、第2スイッチ群及び第3スイッチ群のうち少なくとも1つに含まれる複数のMOSFETに流れる電流を制限する電流制限部を備えることを特徴とする。  
25

5. 請求項4記載の電圧測定装置であって、

前記電流制限部は、前記第1スイッチ群に含まれる前記第1導電型の第1MOSFET及び前記第2MOSFETの各々の第1主電極と制御電極間に直列に挿入された抵抗素子及び電圧制限素子から構成されることを特徴とする。  
30

6. 請求項4記載の電圧測定装置であって、

前記電流制限部は、前記第3スイッチ群に含まれる前記第2導電型の第3MOSFET及び前記第4MOSFETの各々の第1主電極に接続された抵抗素子から構成されることを特徴とする。

5 7. 請求項1記載の電圧測定装置であって、

前記制御手段は、前記複数のブロックの前記第1スイッチ群を同時にオンさせて各ブロックの両端電圧を各ブロックに対応する各々の第1蓄電素子に保持させ、前記複数のブロックの前記第1スイッチ群がオフされている期間に、前記複数のブロックの前記第2スイッチ群の中の1以上の前記第2スイッチ群を同時にオンさせ、1以上の前記第2スイッチ群に対応する1以上の前記第1蓄電素子に保持されている電圧を、1以上の前記第2スイッチ群に対応する1以上の電圧出力端子から出力することを特徴とする。

8. 請求項1記載の電圧測定装置であって、

前記制御手段は、前記複数のブロックの前記第1スイッチ群の中の1以上の前記第1スイッチ群を同時にオンさせて1以上の前記第1スイッチ群に対応する1以上のブロックの両端電圧を1以上のブロックに対応する1以上の第1蓄電素子に保持させ、1以上の前記第1スイッチ群がオフされている期間に、前記1以上の第1スイッチ群に対応する1以上の第2スイッチ群を同時にオンさせて前記1以上の第1蓄電素子に保持されている電圧を前記1以上の第2スイッチ群に対応する1以上の前記電圧出力端子から出力することを特徴とする。

9. 請求項1記載の電圧測定装置であって、

前記複数の電圧源が正電圧の場合には、前記第1スイッチ群は、Pch-MOSFETから構成され、前記第2スイッチ群及び前記第3スイッチ群は、Nch-MOSFETから構成されることを特徴とする。

10. 請求項1記載の電圧測定装置であって、

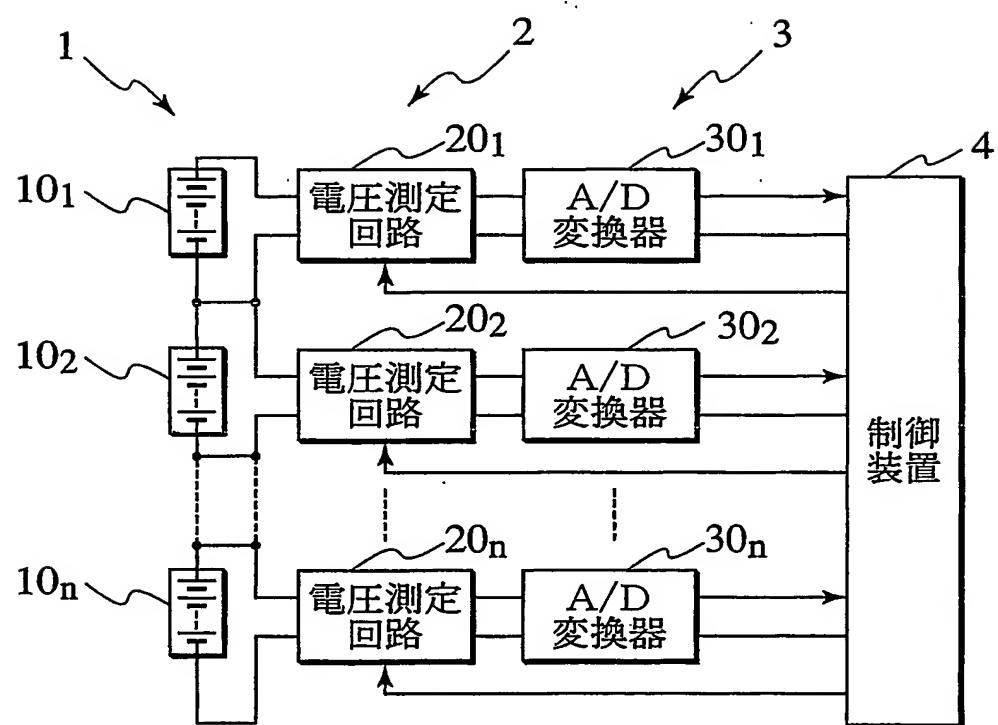
前記複数の電圧源が負電圧の場合には、前記第1スイッチ群は、Nch-MOSFETから構成され、前記第2スイッチ群及び前記第3スイッチ群は、Pch-MOSFETから構成されることを特徴とする。

5 11. 請求項1記載の電圧測定装置であつて、

前記電圧出力端子間、及び／又は前記電圧出力端子とグランド間に電圧制限素子を設けたことを特徴とする。

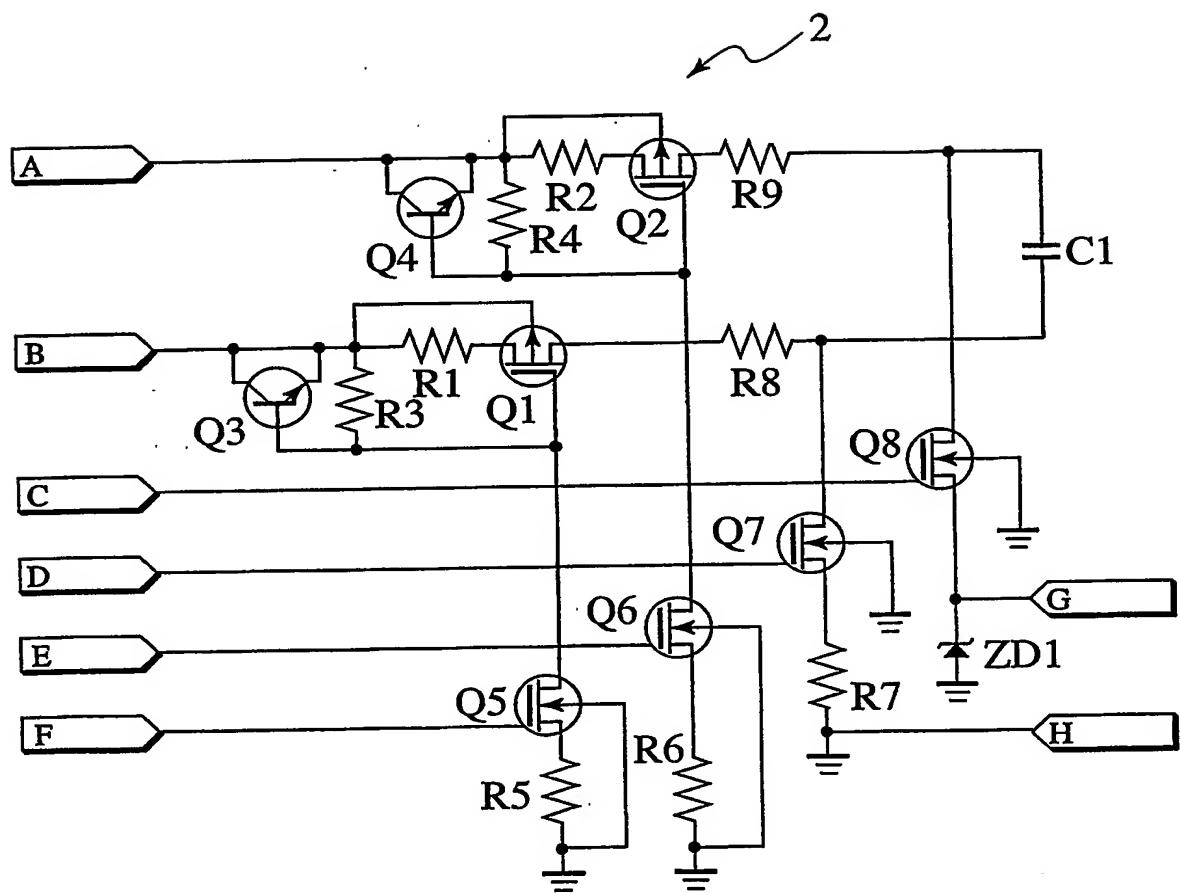
1/8

FIG.1



2/8

FIG.2



3/8

FIG.3A

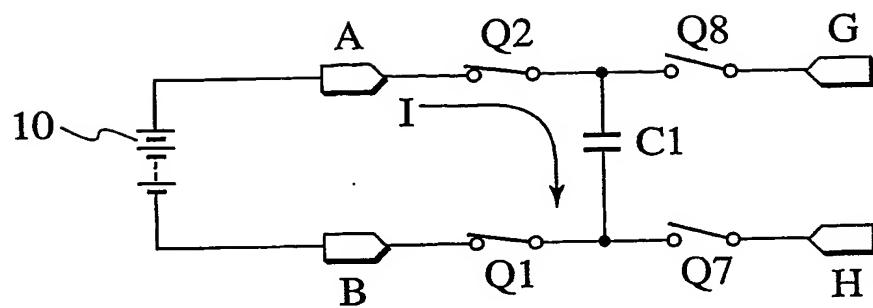


FIG.3B

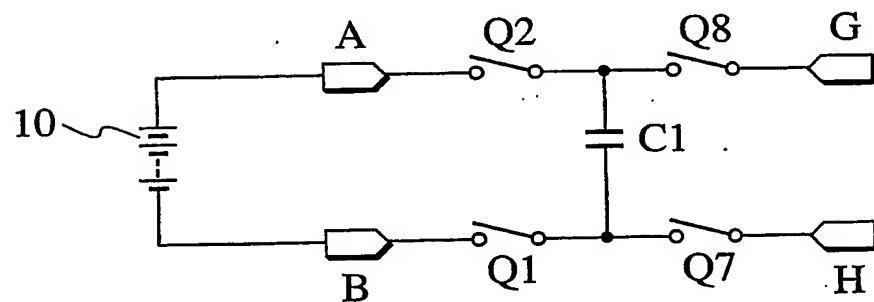
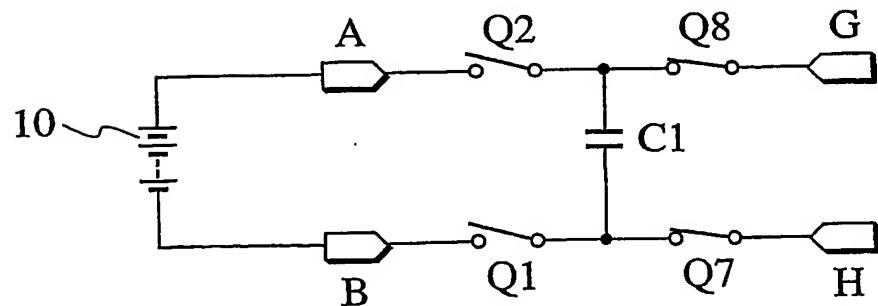
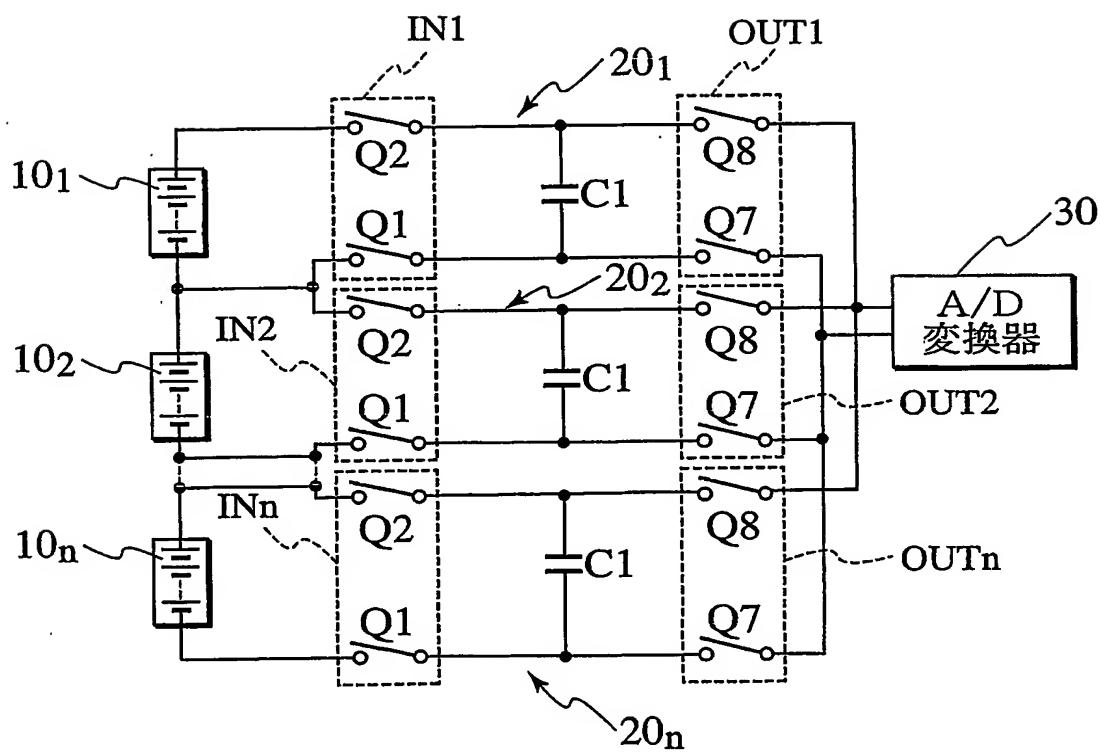


FIG.3C



4/8

FIG.4



5/8

FIG.5A

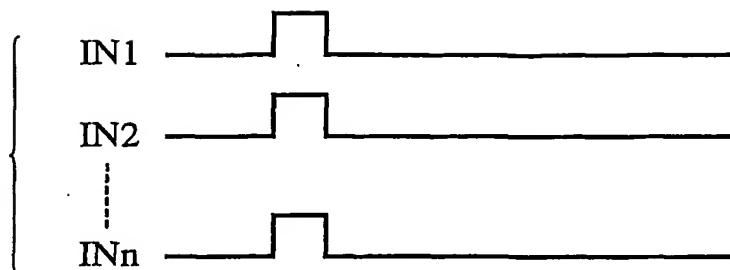


FIG.5B

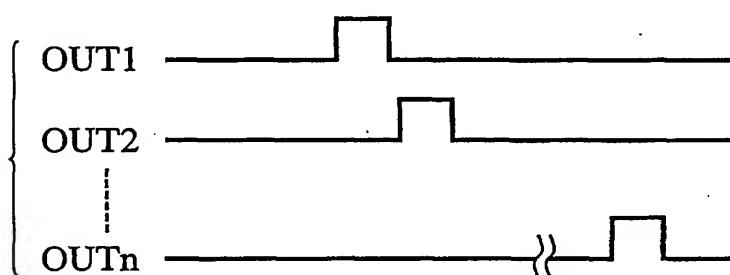


FIG.6A

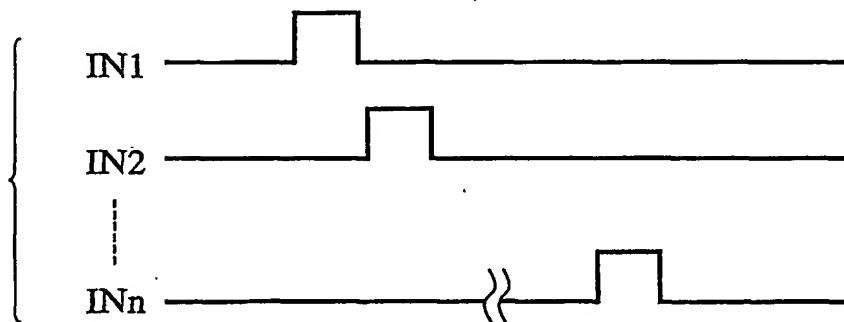
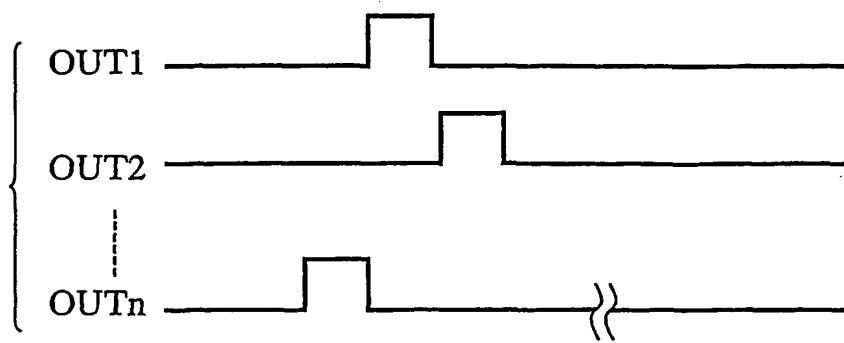
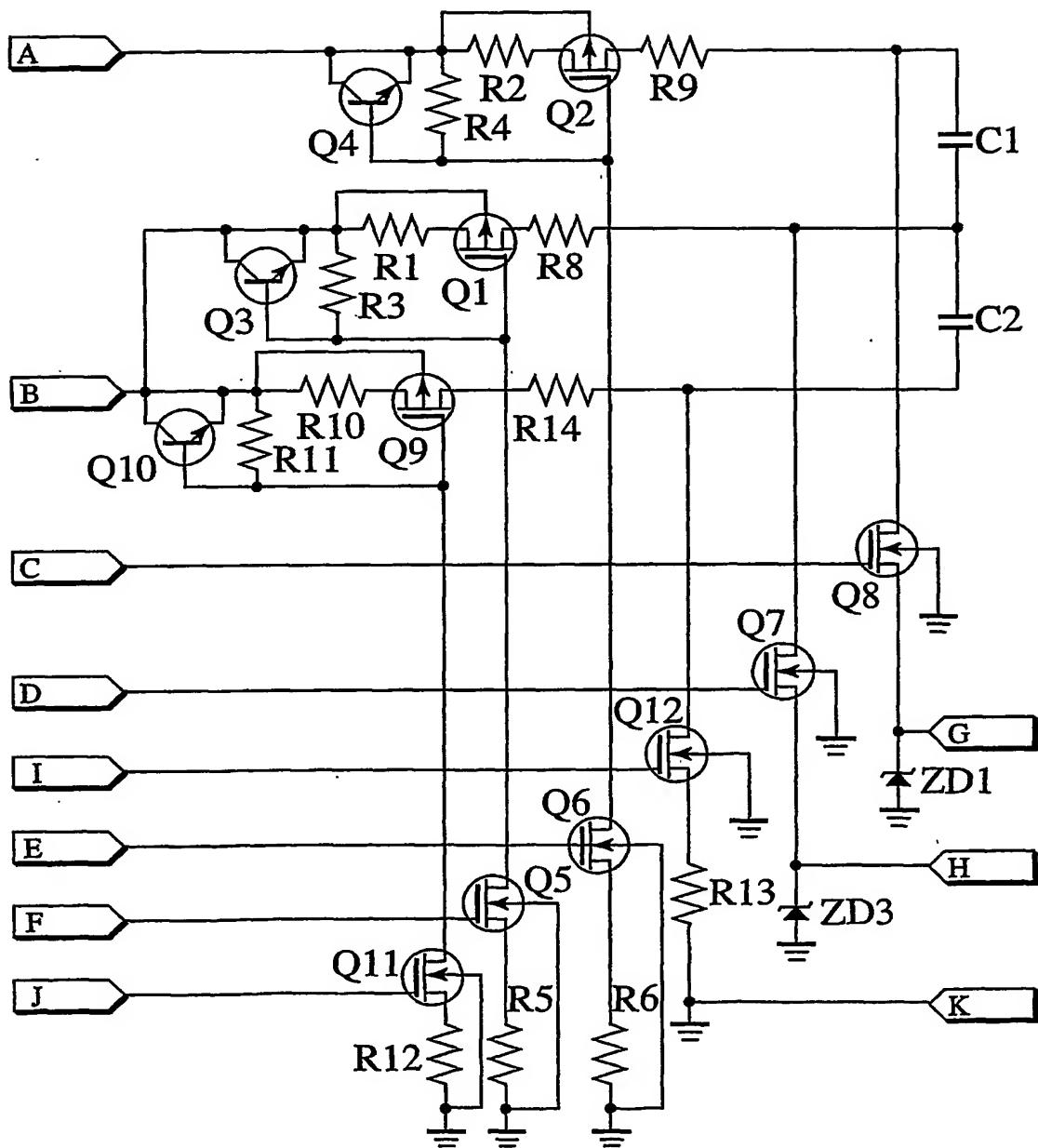


FIG.6B



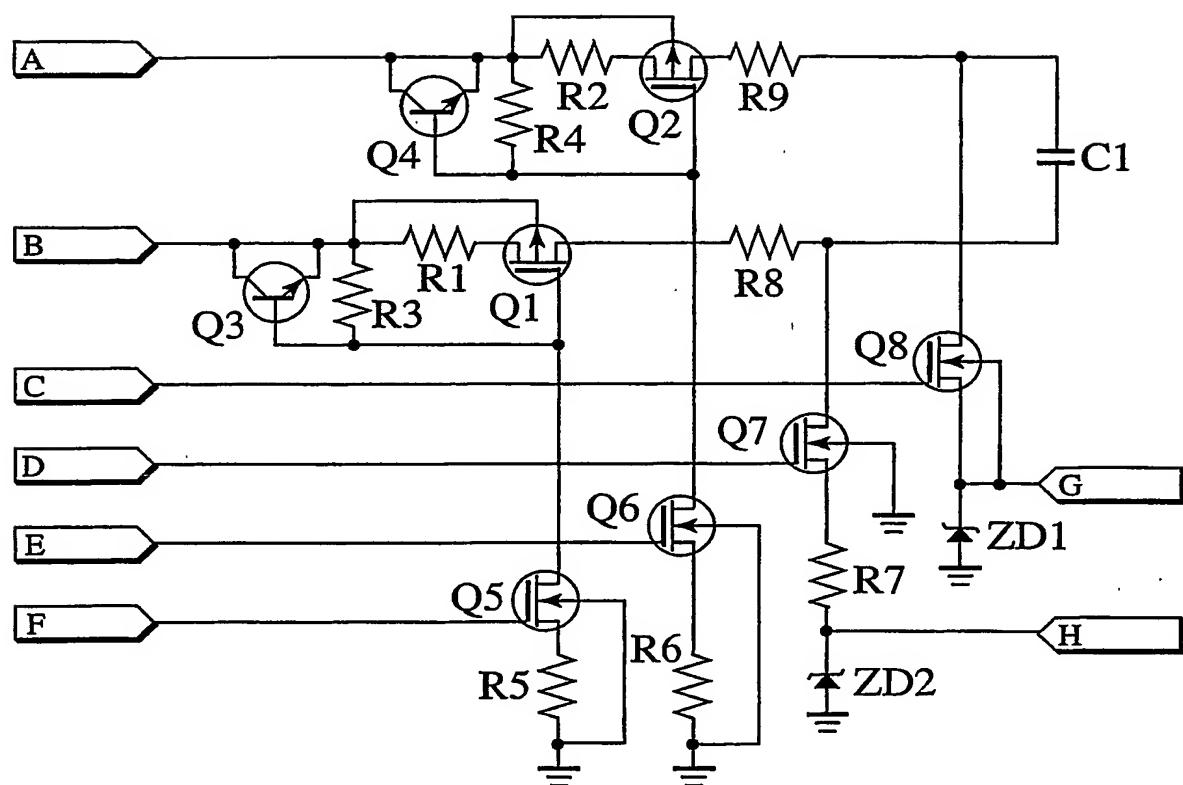
6/8

FIG.7



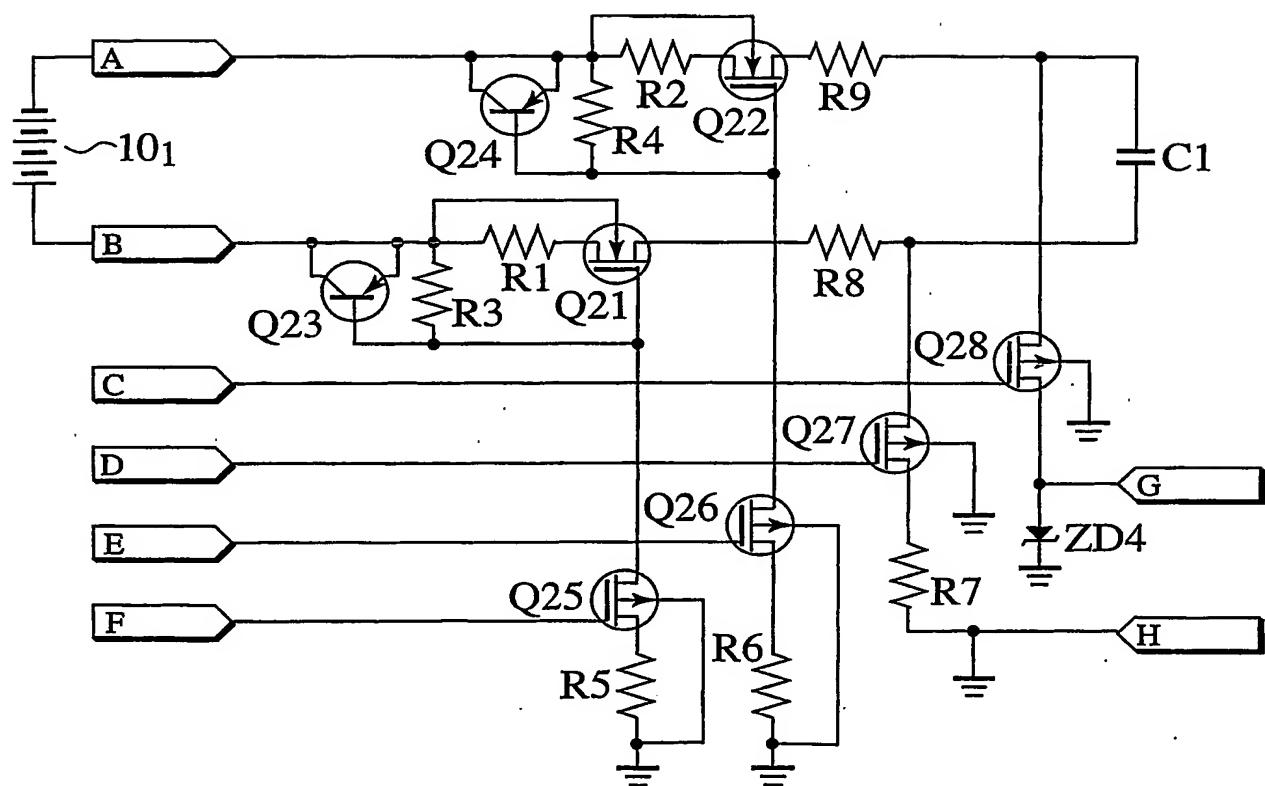
7/8

FIG.8



8/8

FIG.9



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003944

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G01R19/165

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G01R19/165, G01R31/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6437538 B1 (Honda Giken Kogyo Kabushiki Kaisha), 20 August, 2002 (20.08.02), Full text; all drawings & JP 2001-116777 A & DE 10051984 A1	1-11
A	US 6362627 B1 (Matsushita Electric Industrial Co., Ltd.), 26 March, 2002 (26.03.02), Full text; all drawings & JP 11-248755 A & EP 990913 A1 & JP 11-248756 A & JP 11-248757 A & WO 1999/045402 A1	1-11

 Further documents are listed in the continuation of Box C. See patent family annex.

- \* Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed
- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
25 June, 2004 (25.06.04)Date of mailing of the international search report  
13 July, 2004 (13.07.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Form PCT/ISA/210 (second sheet) (January 2004)

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/003944

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 61-125700 A (Mitsubishi Electric Corp.), 13 June, 1986 (13.06.86), Full text; all drawings (Family: none)	1-11
A	JP 9-1617 A (Toyo Machinery & Metal Co., Ltd.), 07 January, 1997 (07.01.97), Full text; all drawings (Family: none)	1-11
A	JP 6-61813 A (Nissin Electric Co., Ltd.), 04 March, 1994 (04.03.94), Full text; all drawings (Family: none)	1-11
A	US 6020717 A (Matsushita Electric Industrial Co., Ltd.), 01 February, 2000 (01.02.00), Full text; all drawings & JP 8-140204 A	1-11

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17 G01R19/165

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 G01R19/165

Int. C17 G01R31/36

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 6437538 B1 (Honda Giken Kogyo Kabushiki Kaisha) 2002. 08. 20, 全文, 全図 & JP2001-116777 A & DE10051984 A1	1-11
A	US 6362627 B1 (Matsushita Electric Industrial Co., Ltd.) 2002. 03. 26, 全文, 全図 & JP11-248755 A & EP 990913 A1 & JP11-248756 A & JP11-248757 A & WO 1999/045402 A1	1-11

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 25. 06. 2004	国際調査報告の発送日 13. 7. 2004
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 篠崎 正 電話番号 03-3581-1101 内線 3258

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	J P 61-125700 A (三菱電機株式会社) 1986. 06. 13, 全文, 全図 (ファミリーなし)	1-11
A	J P 9-1617 A (東洋機械金属株式会社) 1997. 01. 07, 全文, 全図 (ファミリーなし)	1-11
A	J P 6-61813 A (日新電機株式会社) 1994. 03. 04, 全文, 全図 (ファミリーなし)	1-11
A	U S 6020717 A (Matsushita Electric Industrial Co., Ltd.) 2000. 02. 01, 全文, 全図 & J P 8-140204 A	1-11